

Перспективы дальнейшего роста быстродействия информационной системы

А. Б. Петров

Московский государственный лингвистический университет
119034, Москва, ул. Остоженка, 38, стр. 1

e-mail: and300@mail.ru

Аннотация. В статье рассматриваются перспективы дальнейшего роста быстродействия современных корпоративных информационных систем, модель КИС, при которой ее внутреннее устройство представляется набором связанных блоков, имеющих входные и выходные характеристики, показано, что суммарное быстродействие КИС будет определяться физической, программной и семантической реализацией, раскрывается суть каждого из видов реализации, в частности, при физической реализации отмечена существенная роль длин линий связи, дальнейшее повышение степени интеграции признано несущественным и трудно реализуемым, отмечены резервы топологической реализации и организации межсоединений. Показаны резервы программной реализации, роль, резервы и неупорядоченность семантической реализации, ограничение, связанное с общим числом контактов ввода-вывода и соответствующей внутренней организацией структуры КИС.

Ключевые слова: корпоративная информационная система, кластер, линия связи, задержка, тактовая частота.

1. Введение

Производительность современных корпоративных информационных систем (КИС) по-прежнему остается одной из важнейших характеристик. При этом производительность процессора в меньшей степени определяет общую производительность КИС, в большей мере играет роль то, как организованы межсоединения в процессоре и в вычислительном устройстве в целом [1], как реализована общая схема организации вычислительного процесса.

В этих условиях остро встает вопрос выбора путей дальнейшего роста быстродействия информационных систем. Рассмотрим их подробнее.

2. Рассматриваемая модель

Будем рассматривать модель КИС, когда ее внутреннее устройство представляется набором связанных блоков, имеющих входные и выходные характеристики.

При этом время обработки конкретного входного запроса будет определяться суммарным временем обработки процессора и остальной КИС, включающей обра-

ботку блоками КИС, пересылку по линиям связи, а также время, затрачиваемое на оперативное хранение и т. д.

В целом будем рассматривать многослойную структуру, включающую аппаратные средства (физическая реализация), программные средства [операционная среда и прикладное обеспечение (программная реализация) и семантика сообщений (семантическая реализация)], при этом физическую и программную реализации будем рассматривать как вносящие основной вклад в значение характеристик исследуемой системы.

3. Что же определяет быстродействие КИС сегодня?

Сегодня суммарное быстродействие КИС, включающее физическую, программную и семантическую реализацию, стремительно растет. Рассмотрим подробнее эти составляющие и вклад, который они вносят.

Физическая реализация при предельных значениях частот и характерных размеров будет уже определяться не столько вычислительными способностями ядра (процессора), сколько временем пересылки информации по линиям связи [2].

Попробуем раскрыть данное утверждение.

Раньше, когда тактовые частоты были не столь высокими, длина линии связи была много больше длины, эквивалентной тактовой частоте, и поэтому длина линии связи не оказывала существенного влияния на скорость вычислительного процесса.

Сегодня, когда современные ядра (процессоры) работают на предельных частотах, эквивалентных или больших длин волн, чем длина линии связи, роль ее длины и организации вычислительного процесса меняются. Это означает, что длина линии связи, по которой передается информация в вычислительном устройстве (кластере) на одном такте работы, сравнима с тактовой частотой процессора (ядра), соответственно, линии, имеющие длину более этого значения будут вносить задержку в передачу информации. Помимо этого, для таких частот будет играть существенную роль длина каждой из линий связи параллельной шины передачи данных. При отклонениях этой длины сигналы на конец шины будут приходить в разное время, с задержкой, которая может достигать половины и более периода синхронизации вычислительного устройства (ядра). А это будет вызывать ошибки при приеме сигнала на конце линии связи, вплоть до существенного искажения передаваемой информации.

Включение в состав вычислительного устройства блока, накапливающего передаваемую информацию (типа регистра), будет вызывать дополнительные задержки в передаче информации, и на больших объемах данных суммарная задержка становится очень значительной.

Таким образом, для современных топологов, реализующих вычислительное устройство на подложке, возникает новое требование, связанное с формированием параллельных линий связи приблизительно одинаковой длины, чтобы избежать применения регистров, повышенного уровня ошибок из-за неправильного распознавания информации.

4. Увеличение быстродействия за счет процессора

Здесь мы вплотную приблизились к физическому порогу реализации схемотехники с применением данного материала. Дальнейшее уменьшение значения характерного размера вентиля, которое сейчас составляет 7 нм [3] и даже 5 [3] и 2 нм [6], ведет к принципиальному изменению физических свойств материала вплоть до потери свойств полупроводника [4]. Переход на еще более высокие тактовые частоты означает переход на частоты видимого спектра и на новые принципы организации вычислений, а это, в свою очередь, порождает возникновение новых проблем, таких как формирование вентиля для нового частотного диапазона, а также сопряжения новой схемотехники с традиционной (полупроводниковой) [5].

Все это означает, что дальнейшее повышение быстродействия за счет изменения характеристик процессора исчерпало себя, а переход на оптические или иные перспективные технологии связан с существенными затратами на формирование новых обрабатывающих устройств.

5. Оптимизация внутренней структуры процессора

Пока одним из перспективных путей повышения производительности физической реализации системы является оптимизация внутренней структуры процессора. Действительно, топология реализации процессора носит вариативный характер, нет единственного варианта топологического размещения логических элементов и линий связи в массиве ядра. Более компактное размещение или просто иное расположение этих элементов позволит изменить их характеристики: от увеличения суммарного времени, затрачиваемого на обработку информации процессором, до существенного сокращения этого времени за счет уменьшения длин межсоединений и более компактной архитектуры размещения логических элементов.

Сегодня реализация топологии специалистами делается «как получится», главное, чтобы топология выполняла поставленную задачу без минимальной оптимизации размещения и соблюдения каких-либо правил. Топологи стремятся обеспечить функционирование, не оптимизируя размещение. Это объяснимо, так как сроки и выделяемые ресурсы по-прежнему являются определяющим фактором при топологической реализации.

Вместе с тем с целью получения более высоких значений вычислительных характеристик процессора можно попытаться по-иному разместить элементы и связи на подложке или в массиве.

Мы видим, что при выполнении одной и той же стоящей задачи различная топологическая реализация приводит к возникновению различных длин линий связи, что и изменяет предельные характеристики физической реализации.

Данная проблема является на сегодняшний день малоизученной. Топологи полагаются в основном на личный накопленный опыт, а не на какие-то закономерности размещения элементов. Но в любом случае, в ближайшей перспективе, с целью повышения предельных временных характеристик обработки информации вычислительной структурой будут проведены соответствующие исследования и испытания, выявлены основные закономерности и выработаны рекомендации.

Понимая, что при размещении элементов существует несколько ограничений, таких как возможности организации трассировки, электромагнитная совместимость, тепловые воздействия и многое другое, конкретное топологическое решение может быть вариативным и задержки тоже будут иметь вариативный, зачастую непредсказуемый характер, традиционные подходы к проектированию в этих условиях будут нарушаться из-за этого и интегральная работоспособность всего устройства может быть нарушена.

6. Увеличение быстродействия за счет организации межсоединений

Еще одним путем повышения производительности физической реализации системы является правильная организация межсоединений и возможная иная организация внутренней архитектуры вычислительного устройства. Как уже было сказано ранее [2], сегодня быстродействие физической реализации на предельных частотах определяется не столько быстродействием самих вычислительных устройств, сколько длиной самих межсоединений. При этом та или иная конфигурация элементов вычислительной структуры может достаточно резко изменить значение предельных характеристик за счет изменения, в том числе, длины межсоединений между элементами самого вычислительного устройства.

Изменение расположения элементов вычислительных устройств может привести и к изменению организации самого вычислительного процесса (рис. 3). Так, различная длина межсоединений в параллельной шине может привести к необходимости появления, как уже было отмечено выше, в конце шины накопительного устройства (регистра), который будет компенсировать различную длину межсоединений, и, следовательно, различное время прихода сигнала относительно строб-

импульса, а это, в свою очередь, приведет к изменению (увеличению) времени обработки сигнала [2].

В современных вычислительных устройствах размещение элементов может быть произвольным и в произвольном месте, определяемом возможностями трассировки. И в этом смысле, длина линий связи между элементами будет произвольной и может различаться существенно при параллельной передаче данных.

7. Увеличение быстродействия за счет организации вычислительного процесса

Помимо организации межсоединений еще одним путем повышения производительности физической реализации системы является возможность изменения последовательности выполнения вычислительного процесса. Действительно, топологическое размещение вычислительных элементов является произвольным, не зависящим от последовательности обработки информации. При этом существенным является также и плотность компоновки этих элементов. Более плотная компоновка повышает (как общая закономерность) предельные характеристики физической реализации, но создает дополнительные трудности при топологической реализации.

Различия в вариантах размещения вычислительных элементов может менять значения предельных характеристик достаточно существенно, иногда даже в разы, как в сторону повышения значения, так и в сторону его снижения.

Конечно, в идеале, с некоторой точки зрения, последовательное, соответствующее порядку обработки информации размещение вычислительных элементов является выгодным решением, при котором будут самые короткие длины линий связи между элементами, будет понятна логика топологического размещения и будут минимизированы общие объемы межсоединений. Но такое идеальное размещение будет противоречить другим критериям размещения (плотность компоновки, общий объем размещаемых вычислительных элементов, вопросы совместимости и т. д.). Следовательно, для удовлетворения всех имеющихся критериев получить идеальное с точки зрения последовательности выполнения вычислительного процесса невозможно, тогда возникает возможность выбора и баланса этих критериев.

В общем случае возникает общая вариативность топологической реализации с достижением значений характеристик, которые будут ниже возможных предельных значений, а следовательно, возможен выбор такого варианта, который будет удобен с точки зрения топологии и не будет оптимальным с точки зрения иных критериев.

Следовательно, топологическая реализация может быть выполнена по принципу «как получится», о чем было сказано выше, но мы должны понимать, что данное решение может не иметь предельных характеристик, что, в свою очередь, формирует возможность поиска более эффективного решения.

8. Влияние и резервы программной реализации

Программная реализация сегодня занимает существенное и самое легкооптимизируемое место в структуре временных затрат. В подавляющем большинстве случаев программная реализация представляет собой заранее скомпилированный файл, работающий в операционной среде. Поэтому путей возможного сокращения времени здесь немного:

- оптимизация операций ввода-вывода;
- более эффективные способы компиляции программы;
- использование увеличенных ресурсов.

Первый путь позволяет изменить время обработки массива информации за счет более эффективного размещения информации, например размещение информации последовательно, от начала до конца в одном блоке хранения, без разбиения и, соответственно, размещения частей блока в массиве.

Также будет оказывать влияние использование увеличенных ресурсов (третий путь) для хранения, обмена и пересылки информации при вводе-выводе, в этом случае увеличение до 50–100% используемых ресурсов позволит сократить время на 20–50%. Дальнейший рост ресурсов в целом не приведет к увеличению данного показателя.

Первый и третий пути позволяют изменить время ввода-вывода непосредственно при выполнении вычислительного процесса и могут использоваться при оптимизации.

Второй путь также позволяет изменить время ввода-вывода, но при этом время оптимизируется не в ходе выполнения вычислительного процесса, а до его начала, за счет более эффективной компиляции, выполняемой более совершенным компилятором или с использованием более эффективного способа компиляции.

9. Влияние семантической реализации

Влияние семантической реализации на сегодня является наиболее слабоизученным процессом. Действительно, организация вычислительного процесса при семантической реализации может быть различной. Разный порядок и последовательность обращения к словарям, справочникам, разное время, затрачиваемое на доступ к ним, разные алгоритмы обработки запросов в конкретной КИС — все это может менять суммарное время обработки одного запроса в общем смысле произвольным образом. В настоящее время данный спектр проблем только ставится перед разработчиком для осуществления дальнейшей нормализации и упорядочивания, еще нет единых принципов и подходов по обеспечению реализации запроса за фиксированное время, поэтому, как и в случае с топологической реализацией, разработчик совер-

шает действия по принципу «как получится», т. е. главное, чтобы устройство правильно выполняло запрос, а эффективно или неэффективно этот запрос выполняет, такой задачи перед разработчиком не стоит.

Понимая, что в семантической реализации есть резервы по времени реализации запроса, можно поставить перед специалистами задачу разработки нормализованных принципов и подходов к построению и реализации запроса. Решение этой задачи будет в самом обозримом будущем, существенно раньше, чем в топологической реализации, потому что организация семантической реализации проще, чем топологической, в этой сфере проще вносить изменения и осуществлять практическую реализацию, а самое главное, потребность в этом решении становится более острой.

10. Предельное число внешних связей

Еще одним существенным ограничением на общее время выполнения вычислительных операций будет предельная степень интеграции КИС на кристалле (подложке). Данная проблема является характерной для КИС. При переходе от схемотехники на кристалле к внешним соединениям основным ограничением будет общая площадь контактной площадки, к которой крепится (припаивается) контактный провод. Обычно размер этой площадки колеблется от 1 до 2.5 мм² и меньшим его сделать технологически не получается. Поэтому, общее число таких площадок, размещаемое на кристалле (подложке), будет ограниченным и конечным. Основные конструктивы, имеющиеся в наличии у технологов в настоящее время представлены в [7]. В перспективе не ожидается изменения технологии пайки и, следовательно, резкого сокращения размера контактной площадки, поэтому суммарное число внешних выводов с кристалла (подложки) будет выступать ограничивающим фактором при проектировании КИС в целом. Соответственно, общее время вычислительного процесса, реализуемого на кристалле (подложке), будет иметь некоторое суммарное, предельное максимальное время, которое и будет ограничивать возможности данной вычислительной структуры.

11. Заключение

Таким образом, развитие технологий микропроцессоров, связанное с уменьшением характерного размера до единиц нанометров, уже не является основной тенденцией в развитии средств вычислительной техники, тем более, что в этой сфере мы упираемся в физическое количество вещества, сохраняющее свойства целого вещества. Основным ограничивающим барьером становится длина линий связи, и накладываемые ограничения на ее формирование определяют задержки в устройстве в целом.

Конечно, можно делать схемные буферы для накопления поступающей информации, но нет гарантий, что они будут обеспечивать надежность и правильное распознавание информации.

Следовательно, качество топологического проектирования линий связи сегодня является основным средством в дальнейшем повышении производительности КИС.

Литература

- [1] *Петров А. Б.* Корпоративные информационные системы: проблемы и перспективы // *Cloud of science*, 2019. Т. 6. № 1. С. 71–82.
- [2] *Петров А. Б.* Чем определяется быстродействие информационной системы? Сб. трудов XVIII научно-практической конференции «Информационные технологии в государственном управлении. Цифровая трансформация и человеческий капитал». 18 апреля 2019 г. — М. : НИИ «Восход». С. 48–50.
- [3] <https://habr.com/ru/company/it-grad/blog/427193/>
- [4] https://phys.bspu.by/static/um/tvorchestvo/index_matved/matved_4.pdf
- [5] *Петров А. Б.* Особенности реализации устройств вычислительной техники на основе элементов нанoeлектроники // Сб. трудов XVI Международной научно-техн. конф. «Высокие технологии в промышленности (материалы и устройства функциональной электроники и микрофотоники)». 9–11 сентября 2010 г. — М. : ЦНИТИ «Техномаш». С. 238–240.
- [6] <http://www.russianelectronics.ru/leader-r/review/doc/63583/>
- [7] *Нусан А.* Восемь тенденций, которые изменят электронику. Корпорация Остэк, № 1 (87), февраль 2011. С. 12–15. [Электронный ресурс] <https://ostec-3d.ru/upload/iblock/611/6118a06cf557fd08fbb5783155f486e9.pdf>

Автор:

Андрей Борисович Петров — доктор технических наук, профессор, профессор кафедры международной информационной безопасности, Московский государственный лингвистический университет

Prospects for further growth of information system performance

A. B. Petrov

Moscow State Linguistic University, 38, build 1, Ostozhenka str., 119034, Moscow
e-mail: and300@mail.ru

Abstract. The article discusses the prospects for further growth of the performance of modern corporate information systems, considers the model of CIS, in which its internal structure is represented by a set of related blocks with input and output characteristics, shows that the total performance of CIS will be determined by the physical, software and semantic imple-

mentation, reveals the essence of each of the types of implementation, in particular, the physical implementation marked a significant role of the lengths of communication lines, further increase in the degree of integration is considered insignificant and difficult to implement, reserves of topological realization and organization of interconnections are noted. The reserves of software implementation, role, reserves and disordered semantic implementation are noted, the restriction associated with the total number of I / o contacts and the corresponding internal organization of the CIS structure is shown.

Keywords: corporate information system, cluster, communication line, delay, clock frequency.

References

- [1] Petrov A. B. (2019) *Cloud of science*. 6(1):71–82.
- [2] Petrov A. B. (2019) *Chem opredelyayetsya bystrodeystviye informatsionnoy sistemy?* In Sb. trudov XVIII nauchno-prakticheskoy konferentsii «Informatsionnyye tekhnologii v gosudarstvennom upravlenii. Tsifrovaya transformatsiya i chelovecheskiy kapital». Moscow, NII «Voshod». P. 48–50.
- [3] <https://habr.com/ru/company/it-grad/blog/427193/>
- [4] https://phys.bspu.by/static/um/tvorchestvo/index_matved/matved_4.pdf
- [5] Petrov A. B. (2010) *Osobennosti realizatsii ustroystv vychislitel'noy tekhniki na osnove elementov nanoelektroniki*. In Sb. trudov XVI Mezhdunarodnoy nauchno-tekhn. konf. «Vysokiye tekhnologii v promyshlennosti (materialy i ustroystva funktsional'noy elektroniki i mikrofoniki)». Moscow, CITI Technomash. P. 238–240.
- [6] <http://www.russianelectronics.ru/leader-r/review/doc/63583/>
- [7] <https://ostec-3d.ru/upload/iblock/611/6118a06cf557fd08fbb5783155f486e9.pdf>